



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04222111 A**

(43) Date of publication of application: 12.08.92

(51) Int. Cl.

H03H 17/02
H03H 17/06

(21) Application number: 02413380

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 21.12.90

(72) Inventor: TAKEUCHI SUMITAKA

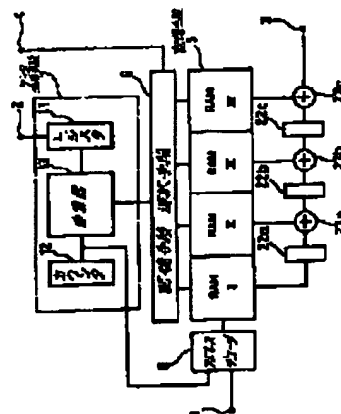
(54) DIGITAL FILTER

(57) Abstract:

PURPOSE: To obtain the compact and high-speed digital filter to easily change a filter coefficient.

CONSTITUTION: A multiplier 12 multiplies a coefficient signal 2 and the output of a counter 12, which values are increased within a range available for an input signal 1 to be multiplied with this coefficient signal 2, and the multiplied results are successively stored in the addresses, which are decided by the count values as mentioned above, of a storing means 5 selected by a storing means selecting means 6. The input signal 1 is decoded by an address decoder 8, and the product of the above-mentioned input signal and the above-mentioned coefficient signal is read out from the above-mentioned storing means 5.

COPYRIGHT: (C)1992 JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-222111

(43) 公開日 平成4年(1992)8月12日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02	K	8731-5 J		
	L	8731-5 J		
17/06	Z	8731-5 J		

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平2-413390

(22) 出願日 平成2年(1990)12月21日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 竹内 澄高

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

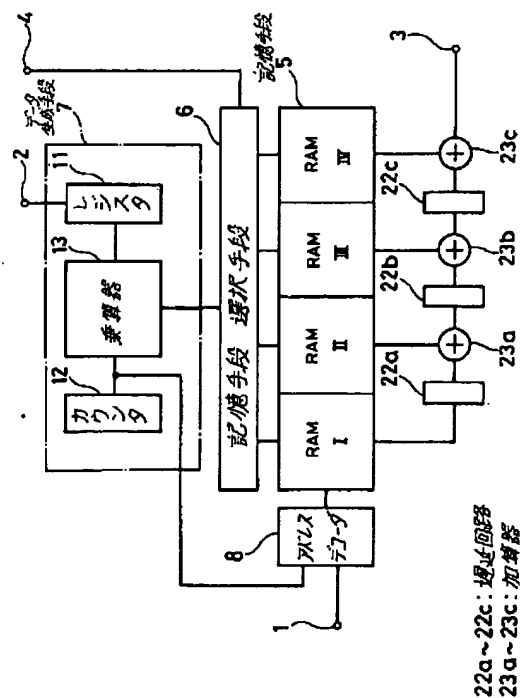
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 デジタルフィルタ

(57) 【要約】

【目的】 フィルタ係数の変更が容易で小面積かつ高速なデジタルフィルタを得る。

【構成】 係数信号2と、これと乗算すべき入力信号1のとりうる範囲で増加するカウンタ12の出力とを乗算器13で乗算し、記憶手段選択手段6により選択した記憶手段5の、上記カウント値により決まるアドレスに順次記憶する。アドレスデコーダ8により入力信号1をデコードして、上記記憶手段5より上記入力信号と上記係数信号との積を読み出す。



22a~22c: 選択回路
23a~23c: 加算器

1

【特許請求の範囲】

【請求項1】 デジタルフィルタの係数であるデジタル信号からなる係数信号を受けるとともに、デジタル信号からなる内部アドレス信号を出力し、この内部アドレス信号と上記係数信号とを乗算して乗算信号を出力するデータ生成手段と、このデータ生成手段からの乗算信号を上記内部アドレス信号に対応したアドレスに記憶するための複数の記憶手段と、上記データ生成手段からの乗算信号および記憶手段選択信号を受け、上記記憶手段選択信号によって上記記憶手段のうちの1つを選択し、選択された記憶手段に上記データ生成手段からの乗算信号を与えるための記憶手段選択手段と、上記データ生成手段からの内部アドレス信号およびデジタル信号からなる入力信号を受け、データ生成手段からの乗算信号を上記選択された記憶手段に記憶させる時に上記内部アドレス信号を上記記憶手段に与えるとともに、記憶手段に記憶された乗算信号を読み出す時に上記入力信号を上記記憶手段に与えるアドレスデコードとを備えたことを特徴とするデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、デジタルフィルタに関するものであり、特にフィルタ演算のうちの乗算を、RAM (Random Access Memory) を用いて行うものに関するものである。

【0002】

【従来の技術】 図2に従来のデジタルフィルタの具体的な構成の一例を示す。図2に示す回路構成は一般にFIR (有限インパルス応答) 型デジタルフィルタとして知られている。図2において、デジタルフィルタは、デジタル信号からなる入力信号を入力するための入力端子1と、デジタルフィルタの係数であるデジタル信号からなる係数信号を入力するための入力端子2と、入力端子2から入力される係数信号を保持するための第1から第4のレジスタ20a、20b、20c、20dと、入力端子1から与えられる入力信号と各レジスタから与えられる係数信号との乗算を行うための第1から第4の乗算器21a、21b、21c、21dと、各乗算結果を所定期間遅延させてから加算するための遅延回路22a、22b、22cと加算器23a、23b、23cと、加算器の出力であるデジタル信号を出力するための出力端子3から構成される。

【0003】 ここで、入力信号は、図示されないクロック発生回路から出力されるクロックAに反応して各乗算器に与えられる。デジタルフィルタの係数である係数信号は、各レジスタが入力端子2に縦続接続されているため、第4のレジスタ20dに保持される係数から順次入力される。そしてクロック発生回路から出力される別のクロックBに反応して各レジスタにロードされる。デジタルフィルタの係数であるデジタル信号を変更す

2

ることにより各乗算器の乗算結果が変わり、加算器の出力が変化する。これによりデジタルフィルタの特性を変化させることができる。

【0004】 次にデジタル信号の乗算を行う乗算器の具体的な構成の一例を図3に示す。図3(a)はその一例として(4×3)ビットの乗算過程を示す。高速にデジタル信号の乗算を行うために、図3(b)に示すような、論理ゲート212～214と全加算器211で構成される単位回路が用いられる。図3(c)は従来の(4×3)ビット並列乗算器の一構成例を示すブロック図である。

(m×n)ビットの乗算には、(m×n)個の単位回路210が必要である。乗算時間は、(m×n)個の単位回路を通過する信号の最大伝搬経路で決まる。

【0005】 デジタル信号の乗算を行う別の方法としてROM (Read Only Memory) による乗算器がある。最も簡単な例は、すべての乗算結果をROMに書き込んでおく方法である。乗数と被乗数によってROMのアドレスを指定し、あらかじめ書き込んだ積を読み出す。これにより、乗算時間をROMのアクセスタイムに等しくで

【0006】

【発明が解決しようとする課題】 従来の複数の乗算器と係数レジスタを有するデジタルフィルタは以上のように構成されており、その構成要素中、回路面積を多く占めるのが乗算器である。また、乗算速度はデジタルフィルタの動作速度を決定する最も大きな要因である。

【0007】 ここで、従来の並列乗算器を用いた場合、図に示すように全加算器を用いた単位回路で構成されているので、桁上げ遅延が発生し、そのため信号の最大伝搬経路が長くなり、乗算速度が遅くなるという問題点があった。

【0008】 このような問題は、入力されるデジタル信号のビット数が増大するほど顕著なものとなり、また、デジタルフィルタの係数が前もって設定され、その動作中に固定された場合においても並列乗算器の信号の最大伝搬経路は変わらない。従来よく知られたブース(Booth)のアルゴリズムやキャリーセーブ法などの手段でその高速化が図れるが、回路の構成が複雑になり、回路面積が増大する。

【0009】 また、ROMによる乗算器を用いた場合、例えば(8×8)ビットの乗算を実行するためには、各積は16ビットとなり、ROMは16本の入力を持つことになり、2の16乗=65536語が必要になる。したがって、65536×16=1084576ビット(1Mビット)のメモリが必要になる。これを複数個用いる場合、その回路面積は膨大となる。ROMの代わりにRAMを用いた場合、各積は16ビットであるが、RAMは8本の入力がよく、2の8乗=256語となり、256×16=4096ビット(4Kビット)のメモリで済む。ここで、スタティックRAMを用いればリフレ

3

ッシュ動作が不要であり、さらに高速化が図れる。しかしRAMの場合は、デジタルフィルタの係数を変更する度にRAMの内容を書き換える必要があり、従来のデジタルフィルタに比べて外部回路が大きく、しかも複雑になる。

【0010】この発明は、上記のような従来のものの問題点を解決するためになされたもので、外部回路が簡単で小さく、かつ小型で高速なデジタルフィルタを提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するために、本発明においては、データ生成手段により係数信号と内部アドレス信号とを予め乗算しておき、複数の記憶手段のうち記憶手段選択信号により決まる記憶手段の、上記内部アドレス信号に対応するアドレスに上記乗算結果を順次記憶してゆき、入力信号をアドレスデコーダによりデコードし上記複数の記憶手段にアドレス入力して乗算結果を読み出すようにしたものである。

【0012】

【作用】この発明によるデジタルフィルタにおいては、上述のように構成したことにより、デジタルフィルタの係数を容易に変更することができ、しかも、外部回路は簡単で小さく、かつデジタルフィルタは小型で高速になる。

【0013】

【実施例】図1は、本発明の一実施例によるデジタルフィルタを示す。これは4個のRAMからなる記憶手段を有し、デジタル信号からなる記憶手段選択信号に基づいて第1から第4のRAMのうち任意の1個のRAMを選択する記憶手段選択手段と、デジタルフィルタの係数であるデジタル信号からなる係数信号に基づいて前記RAMに書き込むためのデータを生成するデータ生成手段とを備えたFIR型デジタルフィルタの一構成例である。

【0014】このデジタルフィルタは、デジタル信号からなる入力信号を入力するための入力端子1と、デジタルフィルタの係数であるデジタル信号からなる係数信号を入力するための入力端子2と、デジタル信号からなる記憶手段選択信号を入力するための入力端子4と、乗算器の代わりとなる第1から第4のRAMによって構成される記憶手段5と、記憶手段選択信号に基づいて複数のRAMのうち任意の1個を選択する記憶手段選択手段6と、係数信号に基づいて選択されたRAMに書き込むためのデータを生成するために、係数信号を保持するレジスタ11、前記RAMのアドレスに対応したデジタル信号である内部アドレス信号を出力するカウンタ12、前記レジスタからの係数信号とカウンタからの内部アドレス信号を受けて乗算を行い乗算信号を出力する乗算器13の3つの回路から構成されるデータ生成回路7と、デジタルフィルタとして動作中は入力端

4

子1からの入力信号を受けてRAMのアドレスを指定し、RAMのデータを書換え中はデータ生成回路7のカウンタからのデジタル信号を受けてRAMのアドレスを指定するアドレスデコーダ8と、入力信号と各係数の乗算結果を示す各RAMの出力を所定期間遅延させる遅延回路22a、22b、22cと、この遅延回路22a、22b、22cにより遅延された信号と第2から第4のRAMから読み出された信号を加算するための加算器23a、23b、23cと、加算器の出力であるデジタル信号を出力するための出力端子3から構成される。

【0015】ここで、入力信号は、図示されないクロック発生回路から出力されるクロックAにตอบสนองしてアドレスデコーダ8に与えられる。係数信号は、クロック発生回路から出力される別のクロックBにตอบสนองしてレジスタに保持され、カウンタがアドレスの最大値を出力した後、次の係数が入力される。そして、デジタルフィルタの係数を変更することにより各RAMの出力が変わり、その結果、加算器の出力が変化する。これによりデジタルフィルタの特性を変化させることができる。

【0016】次に図1に示す本発明の具体的構成例と動作を簡単に説明する。ここでは、説明を簡単にするために入力信号を8ビットのデジタル信号、係数信号を8ビットのデジタル信号とする。ここで、乗算器13は従来の(8×8)ビット並列乗算器であり、カウンタ12は00000000(=0)から11111111(=255)までのデジタル信号からなる内部アドレス信号を出力する8ビットカウンタであり、アドレスデコーダ8はデジタルフィルタの動作中に入力信号である8ビットのデジタル信号を受けて、RAM5の0から255までのアドレスを指定し、RAM5のデータを書換え中はカウンタ12から出力される8ビットのデジタル信号を受けて、0から255までのアドレスを指定する、切り換え機能付きアドレスデコーダである。また、第1から第4のメモリはスタティックRAMであり、アドレスデコーダ8の出力を受けて256本の入力を持ち、各積は16ビットから成る。したがって、1個のRAMの容量は $256 \times 16 = 4096$ ビットとなる。これは従来の(8×8)ビットの並列乗算器に比べても小さい回路面積で実現できる。さらに、メモリ選択回路5はスイッチ回路で構成され、選択信号であるデジタル信号により第1から第4のスタティックRAMのうち任意の1個を選択し、乗算器13からの16ビットの出力を選択されたスタティックRAMに与える。

【0017】次に動作について説明する。まず最初に、入力端子4から入力される記憶手段選択信号により、任意の1個のRAM5を選択する。つまり、データ生成手段7からの乗算信号を選択されたRAMに与えるようにする。次に図示されないクロック発生回路から出力されるクロックBにตอบสนองして入力端子2から係数信号である

5

8ビットのデジタル信号C0を入力し、レジスタ11に保持される一方、8ビットカウンタを動作させる。カウンタ12の出力である内部アドレス信号は、(8×8)ビットの並列乗算器13の一方の入力と同時にアドレスデコーダ8の一方の入力として与えられる。したがって、選択されたRAMはアドレス0に0×C0、アドレス1に1×C0、アドレス2に2×C0、…、アドレス255に255×C0の乗算結果が書き込まれる。

【0018】同様に、クロック発生回路から出力されるクロックBに反応して次の係数信号であるデジタル信号C1からC3がレジスタ11に順次保持され、デジタル信号C1からC3とカウンタ12からの内部アドレス信号の乗算結果がそれぞれ異なるスタティックRAMに内部アドレス信号を受けたアドレスデコーダからのアドレスに従って入力される。こうして、係数信号のみを入力することにより、スタティックRAM5のデータを書き換えることができるため、外部回路は簡単で小さくなる。

【0019】次に図示されないクロック発生回路から出力されるクロックAに反応して入力端子から入力信号である8ビットのデジタル信号を入力する。RAMのデータの書換え終了後、アドレスデコーダ8の入力は切り換えられ、入力信号であるデジタル信号を受けて、0から255までのアドレスを指定する。例えば、入力信号が00000011ならばアドレスデコーダ8はアドレス3を指定する。これにより、第1から第4のRAMの出力は3×C0、3×C1、3×C2、3×C3となり、入力信号と係数の乗算結果が得られる。

【0020】デジタルフィルタの基本的動作は従来例と同じであり、乗算結果であるデジタル信号は、クロック発生回路から出力されるクロックAに反応して所定期間遅延する遅延回路22a～22cと加算器23a～23cに与えられる。そして、出力端子3からデジタルフィルタの出力であるデジタル信号が出力される。ここで、係数信号を変更することにより乗算結果であるところのRAMの出力が変わり、その結果、加算器の出力が変化する。これによりデジタルフィルタの特性を変化させることができる。

【0021】

【発明の効果】以上のように、この発明によれば、データ生成手段により係数信号と内部アドレス信号とを予め乗算しておき、複数の記憶手段のうち記憶手段選択信号

6

により決まる記憶手段の、上記内部アドレス信号に対応するアドレスに上記乗算結果を順次記憶してゆき、入力信号をアドレスデコーダによりデコードし上記複数の記憶手段にアドレス入力して乗算結果を読み出すようにしたので、デジタルフィルタの係数を容易に変更することができ、しかも、外部回路は簡単で小さく、さらに、スタティックRAMを用いることにより、小型で高速なデジタルフィルタを得ることができる。

【図面の簡単な説明】

10 【図1】本発明の一実施例によるデジタルフィルタを示すブロック図である。

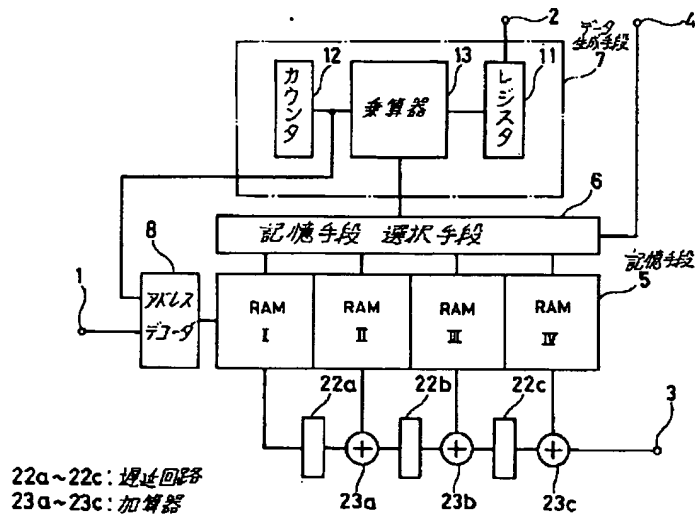
【図2】従来のデジタルフィルタの具体的構成例を示すブロック図である。

【図3】デジタル信号の乗算を行う乗算器の具体的構成の一例を示す図であり、図3(a)は(4×3)ビットのデジタル乗算の過程を示す図、図3(b)は単位回路の具体的構成の一例を示す図、図3(c)は従来の(4×3)ビット並列乗算器の一構成例を示すブロック図である。

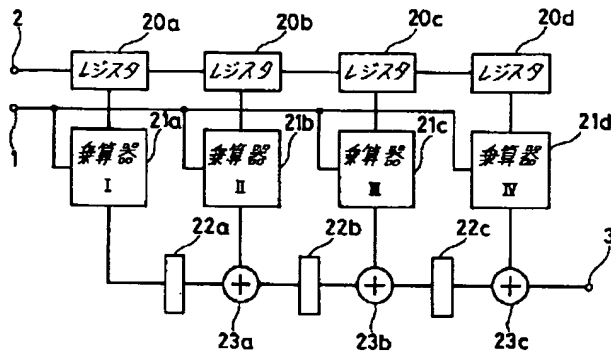
20 【符号の説明】

- 1 デジタル信号を入力するための入力端子
- 2 デジタルフィルタの係数であるデジタル信号を入力するための入力端子
- 3 出力端子
- 4 選択信号であるデジタル信号を入力するための入力端子
- 5 第1ないし第4のRAM
- 6 メモリ選択回路
- 7 データ生成回路
- 30 8 アドレスデコーダ
- 11 デジタルフィルタの係数であるデジタル信号を保持するレジスタ
- 12 RAMのアドレスに対応したデジタル信号を出力するカウンタ
- 13 乗算器
- 22a 遅延回路
- 22b 遅延回路
- 22c 遅延回路
- 23a 加算器
- 40 23b 加算器
- 23c 加算器

【図1】



【図2】



【図3】

